



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①⑫ **Offenlegungsschrift**
①⑩ **DE 43 26 427 A 1**

⑤① Int. Cl.⁶:
H 03 M 7/00

②① Aktenzeichen: P 43 26 427.1
②② Anmeldetag: 6. 8. 93
②③ Offenlegungstag: 9. 2. 95

DE 43 26 427 A 1

⑦① Anmelder:
Deutsche Thomson-Brandt GmbH, 78048
Villingen-Schwenningen, DE

⑦② Erfinder:
Schemmann, Heinrich, 78048
Villingen-Schwenningen, DE; Rothermel, Karin,
78052 Villingen-Schwenningen, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

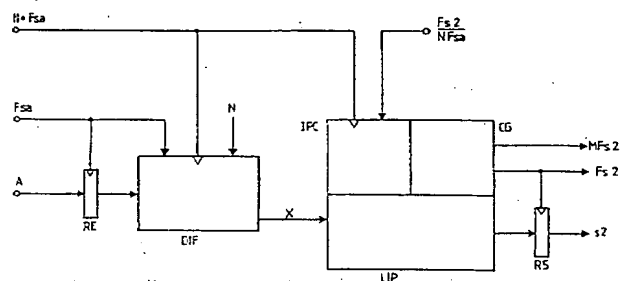
US	51 59 338
SU	17 28 971 A1
SU	12 90 535

⑤④ Digitaler Abtastratenumsetzer

⑤⑦ Der Erfindung liegt die Aufgabe zugrunde, sowohl das Verwenden einer niedrigen Umsetzzwischenfrequenz als auch das Umsetzen unterschiedlicher Abtastratenverhältnisse für universale Anwendungen mit geringem Aufwand zu ermöglichen.

Erfindungsgemäß wird das digitale Ausgangssignal der zweiten Abtastrate mit ersten Zwischenwerten (X) der ersten Abtastrate und das digitale Ausgangssignal bildenden zweiten Zwischenwerten innerhalb zweier erster Zwischenwerte (X) gebildet, wobei aus dem Verhältnis zwischen einer zweiten Abtastfrequenz (Fs2) der zweiten Abtastrate und einer ersten Abtastfrequenz (Fsa) der ersten Abtastrate ein Steuersignal gebildet wird, das sowohl zum Erzeugen eines Taktes der zweiten Abtastfrequenz (Fs2) als auch zum Steuern eines linearen Interpolators (LIP) verwendet wird. Zum Realisieren des linearen Interpolators (LIP) kann dadurch vorteilhaft ein serieller Multiplizierer durch Kombinieren der letzten Stufe des digitalen Interpolationsfilters (DIF) mit dem linearen Interpolator (LIP) verwendet werden. Es sind beliebige Verhältnisse zwischen Ausgangs- und Eingangstakt bzw. Ausgangsabtastrate und Eingangsabtastrate wählbar.

Der digitale Abtastratenumsetzer ist in vorteilhafter Weise als Verbindungselement digitaler Audioschnittstellen unterschiedlicher Abtastfrequenz anwendbar.



DE 43 26 427 A 1

Die Erfindung betrifft einen digitalen Abtastratenumsetzer zur Signalübertragung zwischen unterschiedliche Abtastraten bzw. Abtastfrequenzen verwendenden Geräten bzw. zur digitalen Abtastratenumsetzung eines digitalen Eingangssignals einer ersten Abtastrate in ein digitales Ausgangssignal einer zweiten Abtastrate.

Geräte und Systeme, die Audio- und/oder Videosignale in digitaler Form übertragen, verarbeiten oder speichern, finden zunehmend Verbreitung. Um eine Signalübertragung zwischen unterschiedlichen derartiger Geräte vornehmen zu können, ist ein Abtastratenumsetzer erforderlich, wenn die Geräte Schnittstellen mit unterschiedlichen Abtastraten aufweisen. In der Digitaltechnik ist die Abtastrate bzw. die Abtastfrequenz, mit der ein analoges oder auch digitales Signal abgetastet wird, eine der wichtigsten Systemeigenschaften. Sie gibt an, wie schnell die einzelnen Abtastwerte aufeinanderfolgen und wird auch als Sampling-Frequenz bezeichnet. Um den vollen Informationsgehalt eines analogen Signals zu erfassen, wird die Abtastfrequenz gemäß dem in der Praxis bewiesenen Shannonschen Abtasttheorem mindestens doppelt so hoch wie die zu messende Frequenz gewählt. Audiosignale im Frequenzbereich bis 20 kHz würden somit eine Abtastfrequenz von 40 kHz erfordern. Für die einzelnen Aufzeichnungsträger und Übertragungsverfahren wurden jedoch unterschiedliche Abtastfrequenzen festgelegt. So beträgt beispielsweise die Abtastfrequenz:

44,1 kHz bei der Compact-Disc,
48 kHz beim Digital Audio Tape und
32 kHz beim Satellitenrundfunk.

Zur Verarbeitung von Signalen eines Systems mit einer ersten Abtastfrequenz in einem System mit einer zweiten Abtastfrequenz ist ein Abtastratenumsetzer erforderlich, um aufgrund der sich durch die Frequenzen unterscheidenden Abtastzeitpunkte im Raster der zweiten Abtastfrequenz Abtastwerte bereitzustellen, die dem analogen Signal zu diesem Zeitpunkt möglichst genau entsprechen. Hierzu stehen grundsätzlich zwei Wege zur Verfügung. Entweder wird das digitale Signal in ein analoges Signal umgewandelt und das umgewandelte analoge Signal mit einer zweiten Abtastfrequenz wieder in ein digitales Signal umgewandelt oder es wird eine Umwandlung in der digitalen Ebene vorgenommen. Die Abtastfrequenzumsetzung über eine analoge Zwischenstufe führt jedoch meist zu Qualitätsverlusten und erfordert aufwendige D/A- und A/D-Umsetzer sowie den mit Analog-Schaltungen im Zusammenhang stehenden notwendigen Abgleich. Insbesondere ist davon auszugehen, daß die zwischengeschaltete Analogstufe und die mehrfache Nutzung von Filtern die wesentlichen Vorteile der digitalen Signalverarbeitung zu nichte machen, vgl. KRIEG, Bernhard: Praxis der digitalen Audiotechnik. In: Franzis-Arbeitsbuch 1989, S. 33.

Weiterhin sind Verfahren zur digitalen Abtastratenumsetzung bekannt, die jedoch nur mit relativ hohem Aufwand und einer Vielzahl von Schaltkreisen zu realisieren sind, wenn das Verhältnis zwischen ursprünglicher Frequenz und Zielfrequenz nicht ganzzahlig ist. In diesen Fällen wird eine sehr hohe Umsetzzwischenfrequenz benötigt. Insbesondere das Realisieren der erforderlichen Filter durch Berechnung der Filterkoeffizienten stellt einen hohen Aufwand dar, da die Filter mehrstufig sind und die Anzahl der notwendigen Koeffizientensätze proportional mit der Zwischenfrequenz wächst.

Diese Verfahren ermöglichen es weiterhin nicht, mit einer Schaltung unterschiedliche Zielfrequenzen zu wählen, vgl. LAGEDEC, R.: Digital Sampling Frequency Conversion in Digital Audio, AES Premiere Conference Rey, New York, Juni 1982.

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Verfahren und eine Anordnung zur digitalen Abtastratenumsetzung zu schaffen, die sowohl das Verwenden einer niedrigen Umsetzzwischenfrequenz als auch das Umsetzen unterschiedlicher Abtastratenverhältnisse für universale Anwendungen mit geringem Aufwand ermöglichen.

Diese Aufgabe wird mit den in den Ansprüchen 1 und 8 angegebenen Mitteln gelöst. Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

Dem Verfahren zur digitalen Abtastratenumsetzung eines digitalen Eingangssignals einer ersten Abtastrate in ein digitales Ausgangssignal einer zweiten Abtastrate liegt das Prinzip zugrunde, daß das digitale Ausgangssignal der zweiten Abtastrate mit einer Anzahl erster Zwischenwerte der ersten Abtastrate und das digitale Ausgangssignal bildenden zweiten Zwischenwerten innerhalb zweier erster Zwischenwerte gebildet wird. Aus dem Verhältnis zwischen einer zweiten Abtastrate und der ersten Abtastrate wird vorzugsweise ein Steuersignal gebildet, das sowohl zum Erzeugen eines Taktes der zweiten Abtastrate als auch zum Steuern eines linearen Interpolators verwendet wird. Dieses Steuersignal wird vorzugsweise mit einem Akkumulator gebildet, der als Eingangswert eine Zahl erhält, die dem Verhältnis der zweiten Abtastrate zur ersten Abtastrate entspricht. Zum Erzeugen eines Abstandsfaktors für den linearen Interpolator wird der Wert des Akkumulators in einem Multiplizierer mit einem Einstellwert verknüpft, der dem Verhältnis der ersten Abtastrate zur ausgangsseitigen Abtastrate entspricht. Global betrachtet, werden Datenwörter eines digitalen Eingangssignals mit einer ersten Abtastrate einem digitalen Interpolationsfilter zugeführt und mit dem digitalen Interpolationsfilter eine ganzzahlig vorgegebene Anzahl von ersten Zwischenwerten gebildet. Eine der vorgegebenen Anzahl entsprechende Anzahl von ersten Zwischenwerten innerhalb jeder Taktperiode der ersten Abtastrate wird dann einem linearen Interpolator zugeführt, mit dem aus zwei aufeinanderfolgenden ersten Zwischenwerten ein zweiter Zwischenwert, im der zweiten Abtastrate entsprechenden Raster, ermittelt wird. Ein den Zeitpunkt zum Bereitstellen des zweiten Zwischenwertes aus dem Verhältnis zwischen der ersten Abtastrate und der zweiten Abtastrate bestimmendes Steuersignal wird mit einer Interpolatorsteuerung als Abstandsfaktor gebildet. Aus dem von der Interpolatorsteuerung erzeugten Steuersignal wird weiterhin mit einem Taktgenerator ein Taktsignal der zweiten Abtastrate gebildet.

Als Anzahl von ersten Zwischenwerten wird vorzugsweise ein ganzzahliges Vielfaches von 128 und zum Realisieren des linearen Interpolators in vorteilhafter Weise ein serieller Multiplizierer durch Kombinieren der letzten Stufe des digitalen Interpolationsfilters mit dem linearen Interpolator verwendet.

Diese Anordnung zur digitalen Abtastratenumsetzung ist im wesentlichen dadurch gekennzeichnet, daß ein Taktsignal eines Vielfachen der ersten Abtastfrequenz führender erster Eingang des digitalen Abtastratenumsetzers mit allen Schaltungsteilen verbunden ist, und daß an dem ein digitales Eingangssignal der ersten Abtastrate führenden zweiten Eingang und an dem ein

Taktsignal der ersten Abtastrate führenden dritten Eingang ein digitales Interpolationsfilter angeschlossen ist. Die Interpolatorsteuerung, an die der lineare Interpolator und der Taktgenerator für den ausgangsseitigen Takt angeschlossen sind, erhält einen Einstellwert, der dem Verhältnis der Abtastraten entspricht.

Der lineare Interpolator wird dabei durch Kombinieren der letzten Stufe des digitalen Interpolationsfilters mit dem linearen Interpolator vorzugsweise mit einem seriellen Multiplizierer gebildet.

Weiterhin werden mit dem Steuersignal der Interpolatorsteuerung zwei stabile Takte erzeugt, deren Frequenzen der zweiten Abtastrate und einem Vielfachen hiervon für eine AES/EBU Schnittstelle entsprechen, wodurch der zur Realisierung des Verfahrens erforderliche Aufwand verringert wird. Insgesamt betrachtet, werden Datenwörter eines digitalen Eingangssignals mit einer ersten Abtastrate einem digitalen Interpolationsfilter zugeführt und mit dem digitalen Interpolationsfilter eine ganzzahlige vorgegebene Anzahl von ersten Zwischenwerten gebildet.

Der Eingangswert wird zusammen mit einer vorgegebenen Anzahl von Zwischenwerten innerhalb jeder Taktperiode der ersten Abtastrate einem linearen Interpolator zugeführt, mit dem aus zwei aufeinanderfolgenden ersten Zwischenwerten ein zweiter Zwischenwert innerhalb des der zweiten Abtastrate entsprechenden Rasters ermittelt wird. Der hierzu erforderliche Zeitpunkt zum Bereitstellen des zweiten Zwischenwertes wird aus dem Verhältnis zwischen der ersten Abtastrate und der zweiten Abtastrate bestimmt, das von einem mit einer Interpolatorsteuerung erzeugten Steuersignal repräsentiert wird. Dieses Steuersignal wird darüber hinaus einem Abtastratentaktgenerator zugeführt, mit dem ein Takt der zweiten Abtastrate, bzw. ein Vielfaches davon, erzeugt wird. Dabei kann in vorteilhafter Weise die letzten Stufe des digitalen Interpolationsfilters mit dem linearen Interpolator kombiniert werden und zum Realisieren des linearen Interpolators ein serieller Multiplizierer verwendet werden. Bei einer Anordnung zur Durchführung des Verfahrens ist der den Takt eines Vielfachen der ersten Abtastrate führende erste Eingang des digitalen Abtastratenumsetzers mit einem digitalen Interpolationsfilter, einer Interpolatorsteuerung mit der angeschlossenen Takterzeugung sowie dem Interpolator selbst verbunden. Zweite und dritte Eingänge, die Eingangsabtastrwerte bzw. Datenwörter und einen zugehörigen Takt der ersten Abtastrfrequenz führen, sind nur mit dem digitalen Interpolationsfilter verbunden.

Der in einer Realisierung konstante Zahlenwert, der in dem digitalen Interpolationsfilter und in der Interpolatorsteuerung festgelegt ist, bestimmt die Anzahl der ersten Zwischenwerte. Die Interpolatorsteuerung enthält vorzugsweise einen Phasenakkumulator, mit dem aus einem Zahlenwert, der sich aus dem Verhältnis zwischen erster und zweiter Abtastrate sowie der Anzahl erster Zwischenwerte errechnet, ein Steuersignal sowohl für einen linearen Interpolator als auch für einen, den Takt der zweiten Abtastrate bereitstellenden Taktgenerator gebildet wird. Der lineare Interpolator ist durch Kombinieren mit der letzten Stufe des digitalen Interpolationsfilters in vorteilhafter Weise mit einem serieller Multiplizierer, der einen vergleichsweise geringeren Aufwand erfordert, realisierbar.

Es kommt ein digitales Interpolationsfilter zum Einsatz, welches zum Erhöhen der Abtastrate des Eingangssignals um einen ganzzahligen Faktor dient. Auf

diese Weise erhält man eine Umsetzzwischenfrequenz, die vorzugsweise und vorteilhafterweise um einen ganzzahligen Faktor von 128 erhöht ist. Anschließend erzeugt ein linearer Interpolator zweite Ausgangssignale, die zeitlich im Raster der zweiten Abtastrate liegen, wobei nur noch zwei erste Zwischenwerte und der Zeitpunkt des benötigten Ausgangsabtastwertes zwischen diesen Werten zu berücksichtigen sind. Bei der Anordnung zur Durchführung des Verfahrens ist die Ausgangstakterzeugung bzw. das Erzeugen der zweiten Abtastrate mit in die Schaltungsanordnung integriert und es sind beliebige Verhältnisse zwischen Ausgangs- zum Eingangstakt bzw. Ausgangsabtastrate und Eingangsabtastrate wählbar, wodurch der digitale Abtastratenumsetzer in vorteilhafter Weise beispielsweise als Verbindungselement digitaler Audioschnittstellen unterschiedlicher Abtastrfrequenz anwendbar ist.

Das Steuersignal des Akkumulators wird sowohl zum Ansteuern des Interpolators als auch zum Erzeugen des ausgangsseitigen Takts verwendet, wodurch nur eine relativ geringe Umsetzzwischenfrequenz erforderlich ist und der Ausgangstakt der zweiten Abtastrate kann über eine AES/EBU-Schnittstelle übertragen werden.

Nachfolgend wird die Erfindung anhand eines Ausführungsbeispiels in Zeichnungen erläutert.

Es zeigen

Fig. 1 Prinzipskizze eines Abtastprobendiagramms,

Fig. 2 Blockschaltbild eines digitalen Abtastratenumsetzers,

Fig. 3 Schaltungsskizze eines Schaltungsblocks eines digitalen Abtastratenumsetzers,

Fig. 4 Taktsignaldiagramm,

Fig. 5 Signaldiagramm zur Ausgangstakterzeugung.

Gemäß dem in Fig. 1 dargestellten Abtastprobendiagramm ist bei der digitalen Abtastratenumsetzung von einem digitalen Signal auszugehen, das aus Abtastproben s_a besteht, die mit einer ersten Abtastrate F_{sa} auftreten. Diese Abtastproben s_a sind beispielsweise einem analogen Signal s entnommen, das ein Audiosignal ist, und sind in ein Taktraster einer zweiten Abtastrate umzuwandeln, wobei die Abtastproben s_2 der zweiten Abtastrate das analoge Signal s möglichst genau repräsentieren sollen. Die zweite Abtastrate besitzt die Frequenz F_{s2} . Zur digitalen Abtastratenumsetzung werden zunächst das Verhältnis zwischen der ersten Abtastrate und der zweiten Abtastrate gebildet bzw. eingestellt und der gewünschten Auflösung entsprechend eine festgelegte bzw. vorbestimmte Anzahl N erster Zwischenwerte innerhalb der ersten Abtastrate in bekannter Weise mit einem Interpolationsfilter DIF, das in Fig. 2 dargestellt ist, gebildet. Wie in der Prinzipskizze gemäß Fig. 1 angegeben, führt dies zu ersten Zwischenwerten X , die mit dem N -fachen der ersten Abtastrfrequenz F_{sa} auftreten, wobei die Zwischenwerte X den Ausgangsdatenstrom des in Fig. 2 dargestellten digitalen Interpolationsfilters DIF repräsentieren. Als Anzahl N wird vorzugsweise ein ganzzahliges Vielfaches von 128 gewählt. Aus zwei aufeinanderfolgenden ersten Zwischenwerten X werden dann mit einem in Fig. 2 dargestellten linearen Interpolator LIP zweite Zwischenwerte s_2 gebildet, die Abtastproben s_2 der zweiten Abtastrate mit der Abtastrfrequenz F_{s2} bzw. die Ausgangsabtastwerte sind. Die zweiten Zwischenwerte s_2 werden entsprechend der Beziehung

$$s_2[n] = (1 - \alpha) \cdot X[n-1] + \alpha \cdot X[n]$$

gebildet, wobei der Zeitpunkt, für den ein zweiter Zwi-

schenwert im Raster der zweiten Abtastfrequenz F_{s2} benötigt wird, mit einer in Fig. 2 dargestellten Interpolatorsteuerung IPC als Abstandszahl α zwischen Null und Eins zum unmittelbar vorangehenden ersten Zwischenwert $X[n-1]$ bestimmt und dem linearen Interpolator LIP zum Erzeugen des zweiten Zwischenwertes $s2[n]$ aus zwei aufeinanderfolgenden ersten Zwischenwerten $X[n-1]$ und $X[n]$ zugeführt wird. Da entsprechend oben genannter Beziehung gegenüber dem ersten Zwischenwert $X[n]$ lediglich die um den Faktor der Abstandszahl α korrigierte Differenz zwischen einem ersten Zwischenwert $X[n]$ und dem vorhergehenden ersten Zwischenwert $X[n-1]$ zu berücksichtigen ist, kann zum Realisieren des Verfahrens in vorteilhafter Weise statt eines bisher notwendigen parallelen Multiplizierers ein serieller Multiplizierer verwendet werden. Weiterhin wird von der Interpolatorsteuerung IPC ein Takt der zweiten Abtastfrequenz F_{s2} bereitstellender Abtastratentaktgenerator CG angesteuert, mit dem gleichzeitig ein m -faches der zweiten Abtastfrequenz F_{s2} für eine AES/EBU-Schnittstelle erzeugt wird. Die Besonderheit besteht unter anderem darin, daß nicht unmittelbar vorhandene Takte der ersten und zweiten Abtastrate, sondern nur ein Takt und ein Zahlenwert, der dem Verhältnis der Abtastraten entspricht, als Ausgangspunkt zur Abtastratenumsetzung verwendet wird.

Gemäß dem in Fig. 2 dargestellten Blockschaltbild eines digitalen Abtastratenumsetzers wird zunächst unabhängig vom zu realisierende Verhältnis zwischen erster und zweiter Abtastrate eine feste Anzahl N erster Zwischenwerte X , die beispielsweise 256 beträgt, mit einem digitalen Interpolationsfilter DIF gebildet. Die Mehrzahl der Schaltungsteile wird zudem mit einem Takt betrieben, der in der Frequenz dem N -fachen der ersten Abtastfrequenz F_{sa} entspricht. Der Wert N ist sowohl bei der Realisierung des digitalen Interpolationsfilters DIF als auch einer Interpolatorsteuerung IPC zu berücksichtigen. Die Interpolatorsteuerung IPC ist als Bestandteil eines Schaltungsblockes dargestellt, der weiterhin einen linearen Interpolator LIP und einen Abtastratentaktgenerator CG enthält, um besonders deutlich zu machen, daß die Verknüpfung dieser Bestandteile für das Grundprinzip der Lösung und einen geringen Aufwand wesentlich sind. Mit diesem Schaltungsblock, dem die ersten Zwischenwerte X , ein Takt, der in der Frequenz der um eine Anzahl N vervielfachten ersten Abtastfrequenz F_{sa} entspricht, und das Verhältnis zwischen erster und zweiter Abtastrate F_{s2}/F_{sa} zugeführt wird, werden sowohl ein Takt der zweiten Abtastrate F_{s2} als auch zweite Zwischenwerte $s2$ als Abtastproben im ausgangsseitigen Taktraster erzeugt. Dies erfolgt, wie eine in Fig. 3 dargestellte Schaltungsanordnung dieses Schaltungsblockes zeigt, mit geringem Aufwand und hoher Genauigkeit, da Störungen weitestgehend unterdrückt werden und obwohl das Verhältnis zwischen erster und zweiter Abtastrate den Erfordernissen entsprechend frei gewählt werden kann. Es werden eine vergleichsweise geringere Anzahl von Zwischenwerten X benötigt und eine hohe Genauigkeit im Vergleich mit dem Ursprungs- bzw. analogen Signal s erreicht. Im Einzelnen enthält die Fig. 3 entsprechende Schaltungsanordnung des in Fig. 2 dargestellten Schaltungsblockes ein erstes Register R10, dem das Verhältnis zwischen der zweiten Abtastrate F_{s2} und der ersten Abtastrate F_{sa} multipliziert mit dem reziproken Wert der gewählten Anzahl N erster Zwischenwerte von z. B. 256 zugeführt wird.

Am ersten Register R10 ist ein Akkumulator ange-

schlossen, der von einem Addierer A10 und einem Register R11 gebildet wird. Das erste Register R10 und das Register R11 bzw. der Akkumulator werden mit dem Takt des N -fachen der ersten Abtastfrequenz F_{sa} getaktet, so daß mit jedem Takt ein Ausgangswert des Akkumulators um den Wert des ersten Registers R10 erhöht wird. Dies führt dazu, daß der Akkumulator von Zeit zu Zeit überläuft und die Wertefolge am Ausgang des Akkumulators als äquidistante Punkte auf einem Sägezahn aufgefaßt werden kann. Der im Register R10 abgelegte Wert bestimmt dann die Steilheit des Sägezahns, der als Steuersignal P sowohl für den linearen Interpolator LIP als auch für einen die zweite Abtastfrequenz F_{s2} bereitstellenden Abtastratentaktgenerator CG verwendet wird und in Fig. 5 dargestellt ist. Insbesondere zum Steuern des linearen Interpolators LIP wird eine Reihe von Taktsignalen benötigt, die mit dem Most Significant Bit MSB des Steuersignals P und dem Takt des Vielfachen der ersten Abtastfrequenz $N \cdot F_{sa}$ gebildet werden. Hierzu wird das Most Significant Bit MSB, das als Signal $F2X$ in Fig. 5 dargestellt ist, sowohl einem Steuerwerk SW zum Erzeugen von Taktsignalen T1 bis T4 als auch über eine Verzögerungseinheit VZ dem Takteingang eines Registers R12 zugeführt. In das am Ausgang des Akkumulators angeschlossene Register R12 wird dann ein mittleres Bitfeld des Wortes des Steuersignals P mit einer ansteigenden Flanke des Signals $F2X$ übernommen, das in einem daran angeschlossenen Multiplizierer M10 mit dem Ausgangssignal eines Registers R13 zum Erzeugen der Abstandszahl α multipliziert wird. Hierzu wird dem Register R13, das mit dem Takt der Frequenz $N \cdot F_{sa}$ getaktet wird, ein Einstellwert zugeführt, der dem Produkt von F_{sa} und N , dividiert durch F_{s2} entspricht.

Der Inhalt von R13 ist praktisch reziprok zum Inhalt von R10.

Diese Abstandszahl α wird dann im linearen Interpolator LIP zum Bereitstellen zweiter Zwischenwerte $s2$, die den Ausgangswerten der zweiten Abtastrate entsprechen, verwendet. Wie bereits erläutert, werden dem linearen Interpolator LIP kontinuierlich erste Zwischenwerte X vom digitalen Interpolationsfilter DIF zugeführt. Diese Darstellung wurde zur Vereinfachung und einer besseren Übersicht gewählt. Es ist zutreffend, daß vom digitalen Interpolationsfilter DIF erste Zwischenwerte X bereitgestellt werden, wobei in dieser Ausführung die letzte Stufe des digitalen Interpolationsfilters DIF einen Addierer A1 und drei Register R1, R2, R3 enthält, die in Fig. 3 dargestellt sind. In der letzten Stufe des digitalen Interpolationsfilters DIF werden die ersten Zwischenwerte X als eine Folge von Datenworten mit dem Takt des Vielfachen der ersten Abtastfrequenz $N \cdot F_{sa}$ unmittelbar einem Addierer A1 und zwei Registern R1, R3 zugeführt. Anhand des in Fig. 4 dargestellten Taktsignaldiagramms, welches den Takt des Vielfachen der ersten Abtastfrequenz $N \cdot F_{sa}$, das Signal $F2X$ als höchstwertiges Bit MSB des Phasenwertes P und die Taktsignale T1 bis T4 zeigt, wird deutlich, daß nach einer ansteigenden Flanke des Signals $F2X$ mit dem Taktsignal T1 im Register R1 ein erster Zwischenwert X , der einen Wert $W0$ aufweist, gespeichert wird. Gleichzeitig wird das Register R2, das dem Addierer A1 nachgeschaltet ist und mit diesem einen Akkumulator bildet, mit dem Taktsignal T1 zurückgesetzt. Nach dem Taktsignal T1 wird dann das Register R2 mit dem Taktsignal T2, das beispielsweise aus 32 Impulsen besteht, getaktet, wodurch nach Ende der Taktfolge ein Wert M am Ausgang des Registers R2 bereitgestellt wird. Im

Register R2 liegt dann die Summe aus fortlaufenden Zwischenwerten X, welche die Reihenfolge 2 bis 33 aufweisen. Nach 33 Impulsen der Taktsignale T1 und T2 folgt dann im Taktsignal T3 ein einzelner 34-ster Impuls, mit dem dann im Register R3 ein Wert W1 abgelegt wird. Mit der letzten Stufe des digitalen Interpolationsfilters DIF ist ein Filter realisiert, das kontinuierlich die Summe aus 33 Zwischenwerten X erzeugt, und das auch als sogenanntes MTA-Filter bezeichnet wird (Moving Time Averager).

Mit den linearen Interpolator LIP, der im wesentlichen drei Addierer A2, A3, A4 und einen seriellen Multiplizierer M1 enthält, werden die Werte W0, M und W1 der Zwischenwerte X dann derart verarbeitet, daß der mit dem Taktsignal T1 übernommene Wert W0 und der mit dem Taktsignal T3 übernommene Wert W1 dem Addierer A2 zugeführt werden, an dem der serielle Multiplizierer M1 zur Multiplikation mit dem Abstandsfaktor α angeschlossen ist. Der Ausgang des seriellen Multiplizierers M1 ist mit dem Addierer A3 verbunden, dem auch der jeweilige Wert W0 zugeführt wird und am Ausgang dieses Addierers A3 ist der Addierer A4 angeschlossen, mit dem die Werte M hinzugefügt werden.

Der lineare Interpolator genügt der folgenden Formel.

$$s2[n] = (1 - \alpha) \cdot Y[n-1] + \alpha \cdot Y[n]$$

Für $\alpha = 1$ wird der Wert $X[n]$ gewählt, für $\alpha = 0$ der Wert $X[n-1]$. Für Werte zwischen 0 und 1 werden entsprechende Zwischenwerte berechnet.

Dem linearen Interpolator ging ein MTA Filter voraus, das einen Wert $Y[n]$ durch Aufaddition der jeweils letzten 33 empfangenen X Werte berechnet. $Y[1]$ könnte also die Summe der $X[1] \dots X[33]$ sein. Der nächste Wert $Y[2]$ ist dann die Summe der $X[2] \dots X[34]$. Man erkennt, $Y[1]$ und $Y[2]$ haben die $X[2] \dots X[33]$ als gemeinsamen Anteil. Demnach kann man diesen Anteil, dem in Fig. 3 das Signal M entspricht, aus der Umblendrechnung des linearen Interpolators herausnehmen. Die erfolgt dann nur noch mit $X[1]$ und $X[34]$, denen in Fig. 3 dann W0 und W1 entsprechen. Nach Ändern der Klammerung in der obigen Gleichung wird dann die Struktur in Fig. 3 erkennbar.

$$s2[n] = W0 + \alpha \cdot (W1 - W0) + M$$

Mit einem Register R4 wird dann der derart gebildete zweite Zwischenwert s2 mit einem Taktsignal T4 gespeichert und in ein Register R5 übernommen, das mit der zweiten Abtastfrequenz Fs2 bzw. der zweiten Abtastrate getaktet wird. Das Taktsignal T4 und der Takt der zweiten Abtastfrequenz Fs2 unterscheiden sich lediglich in der Phasenlage und durch ein Jitter, so daß mit dieser Maßnahme des Ausgangsdatenwort selbst unverändert bleibt, und elektrisch nur an das mit dem ausgangsseitigen Abtastraster verkoppelte Taktsystem übergeben wird. Als Takt der zweiten Abtastfrequenz Fs2 wird nicht ein Signal von einem anzuschließenden Gerät unmittelbar verwendet, sondern der Takt der zweiten Abtastfrequenz Fs2 wird in der Schaltungsanordnung aus dem Verhältnis der eingangs- und ausgangsseitigen Abtastraten mit dem Steuersignal P und dem eingangsseitigen Takt $N \cdot Fsa$ gebildet. Hierzu wird das sägezahnförmige Steuersignal P Fig. 5 entsprechend als Phasenwert im Bereich von Null bis 2π interpretiert. Gemäß Fig. 5 wird dieser Wert P einer Sinustabelle SR zugeführt und die sich so ergebende Folge von Sinuswerten in eine

Analogspannung gewandelt, die am Kondensator C10 anliegt. Zur Unterdrückung von hochfrequenten Anteilen bzw. Störfreiung folgt dem DA/Umsetzer ein RC Tiefpaß bestehend aus G10 und C10. Die Phase dieser Sinusspannung Q ist durch der Wert P vorgeben. Die Frequenz ergibt sich aus dem Wert von Register R10 und der Frequenz des Taktes $N \cdot Fsa$. Aus der Sinusspannung Q erzeugt ein Schmitt-Trigger ST dann wieder ein Rechtecksignal R, das nun nicht mehr phasendiskret mit der ersten Abtastfrequenz Fsa verbunden ist, sondern die zweite Abtastfrequenz Fs2 bereitstellt. Mittels einer Vervielfacher-PLL, die aus einem Phasendetektor PD, einem Schleifenfilter FI, einem spannungsgesteuerten Oszillator VCO und einem Teiler TM besteht, wird das Rechtecksignal R von Störungen befreit. Mit dem Teiler TM ergibt sich in vorteilhafter Weise auch ein Takt eines Vielfachen der zweiten Abtastfrequenz Fs2 für eine Schnittstellenversorgung. Die zweite Abtastfrequenz Fs2 ist im Fall der gerasteten Vervielfacher-PLL nahezu identisch mit dem Rechtecksignal R, jedoch aufgrund der Filterwirkung der Vervielfacher-PLL weniger mit Störgrößen behaftet.

Der beschriebene digitale Abtastratenumsetzer ermöglicht in vorteilhafter Weise das Umsetzen digitaler Abtastraten bei freier Wählbarkeit der Ausgangs- bzw. zweiten Abtastrate durch Einstellen oder Vorgabe des Verhältnisses der Abtastraten mit einer vergleichsweise relativ geringen Umsetzzwischenfrequenz auch bei ungünstigen Abtastratenverhältnissen mit geringem Aufwand.

Patentansprüche

1. Verfahren zur digitalen Abtastratenumsetzung eines digitalen Eingangssignals einer ersten Abtastrate in ein digitales Ausgangssignal einer zweiten Abtastrate mit einem digitalen Interpolationsfilter (DIF), einem linearen Interpolator (LIP), einer Interpolatorsteuerung (IPC) und einem Taktgenerator (CG) zum Bereitstellen eines digitalen Ausgangssignals mit einer gewählten Ausgangstakt- bzw. Zielfrequenz, **dadurch gekennzeichnet**, daß das digitale Ausgangssignal der zweiten Abtastrate mit ersten Zwischenwerten (X) der ersten Abtastrate und das digitale Ausgangssignal bildenden zweiten Zwischenwerten (s2) innerhalb zweier erster Zwischenwerte (X) gebildet wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß aus dem Verhältnis zwischen einer zweiten Abtastfrequenz (Fs2) der zweiten Abtastrate und einer ersten Abtastfrequenz (Fsa) der ersten Abtastrate ein Steuersignal (P) gebildet wird, das sowohl zum Erzeugen eines Taktes der zweiten Abtastfrequenz (Fs2) als auch zum Steuern eines linearen Interpolators (LIP) verwendet wird.
3. Verfahren nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet, daß das Steuersignal (P) aus dem Verhältnis der zweiten Abtastfrequenz (Fs2) der zweiten Abtastrate zu einem einer Anzahl (N) entsprechenden Vielfachen der ersten Abtastfrequenz (Fsa) der ersten Abtastrate mit einem Akkumulator gebildet wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das Steuersignal (P) zum Erzeugen eines Abstandsfaktors (α) durch einen Multiplizierer (M10) mit einem Wert verknüpft wird, der dem Verhältnis des Vielfachen der ersten Abtastrate (Fsa) und einer Zahl (N) zur zweiten

Abtastrate (F_{s2}) entspricht.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß Datenwörter eines digitalen Eingangssignals mit einer ersten Abtastrate einem digitalen Interpolationsfilter (DIF) zugeführt und mit dem digitalen Interpolationsfilter (DIF) eine ganzzahlig vorgegebene Anzahl (N) von ersten Zwischenwerten (X) gebildet wird, eine der vorgegebenen Anzahl (N) entsprechende Anzahl von ersten Zwischenwerten (X) innerhalb jeder Taktperiode der ersten Abtastrate einem linearen Interpolator (LIP) zugeführt wird, mit dem aus zwei aufeinanderfolgenden ersten Zwischenwerten (X) ein zweiter Zwischenwert (s_2) im der zweiten Abtastrate entsprechenden Raster ermittelt wird, wobei ein den Zeitpunkt zum Bereitstellen des zweiten Zwischenwertes (s_2) aus dem Verhältnis zwischen der ersten Abtastrate und der zweiten Abtastrate bestimmendes Steuersignal (P) mit einer Interpolatorsteuerung (IPC) gebildet und vom mit der Interpolatorsteuerung (IPC) erzeugten Steuersignal (P) mit einem Taktgenerator (CG) ein Taktsignal der zweiten Abtastfrequenz (F_{s2}) gebildet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß als ganzzahlig vorgegebene Anzahl (N) von ersten Zwischenwerten (X) ein ganzzahliges Vielfaches von 128 verwendet wird.

7. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß zur Realisierung des linearen Interpolators (LIP) ein serieller Multiplizierer (M10) durch Kombinieren der letzten Stufe des digitalen Interpolationsfilters (DIF) mit dem linearen Interpolator (LIP) verwendet wird.

8. Anordnung zur digitalen Abtastratenumsetzung eines digitalen Eingangssignals einer ersten Abtastrate in ein digitales Ausgangssignal einer zweiten Abtastrate mit einem digitalen Interpolationsfilter (DIF), einem linearen Interpolator (LIP), einer Interpolatorsteuerung (IPC) und einem Taktgenerator zum Bereitstellen eines digitalen Ausgangssignals mit einer gewählten Ausgangstakt- bzw. Ziel- frequenz, dadurch gekennzeichnet, daß ein den Takt der ersten Abtastfrequenz (F_{sa}) führender erster Eingang des digitalen Abtastratenumsetzers mit einem digitalen Interpolationsfilter (DIF) verbunden ist, an dem ein digitale Eingangssignale der ersten Abtastrate führender zweiter Eingang (A) angeschlossen ist, ein Taktsignal des N-fachen der eingangsseitigen Abtastfrequenz sowohl mit dem digitalen Interpolationsfilters (DIF) als auch der Interpolatorsteuerung (IPC) verbunden ist, die sowohl mit einem linearen Interpolator (LIP) als auch mit einem Taktgenerator (CG) zum Bereitstellen eines digitalen Taktes mit der zweiten Abtastrate verbunden ist.

9. Anordnung nach Anspruch 8, dadurch gekennzeichnet, daß der lineare Interpolator (LIP) in der Ausführung mit der letzten Stufe des digitalen Interpolationsfilters (DIF) kombiniert ist.

10. Anordnung nach einem der Ansprüche 8 bis 9, dadurch gekennzeichnet, daß mindestens einer der Multiplizierer (M1 oder M10) als serieller Multiplizierer ausgeführt ist.

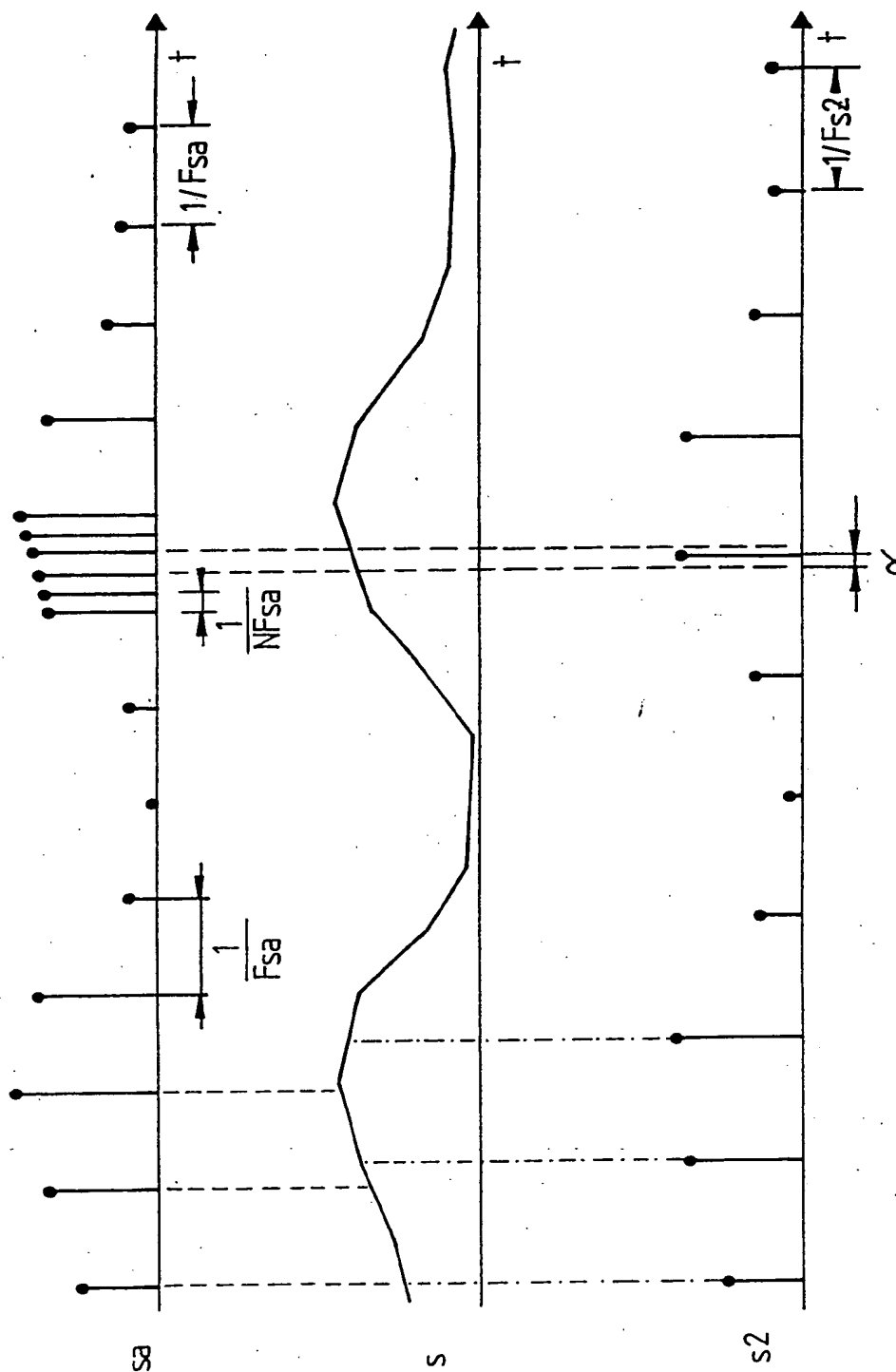


Fig.1

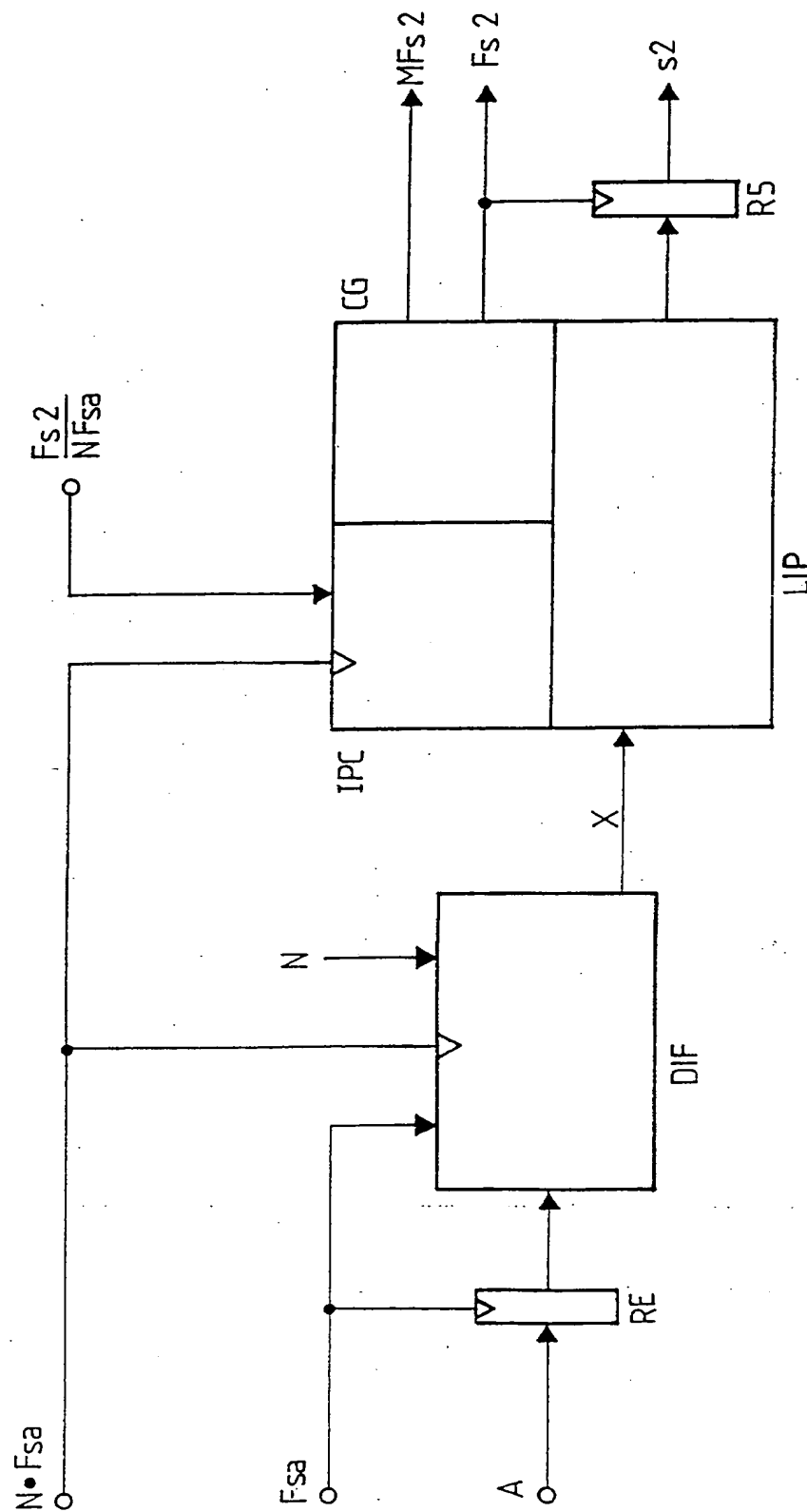


Fig.2

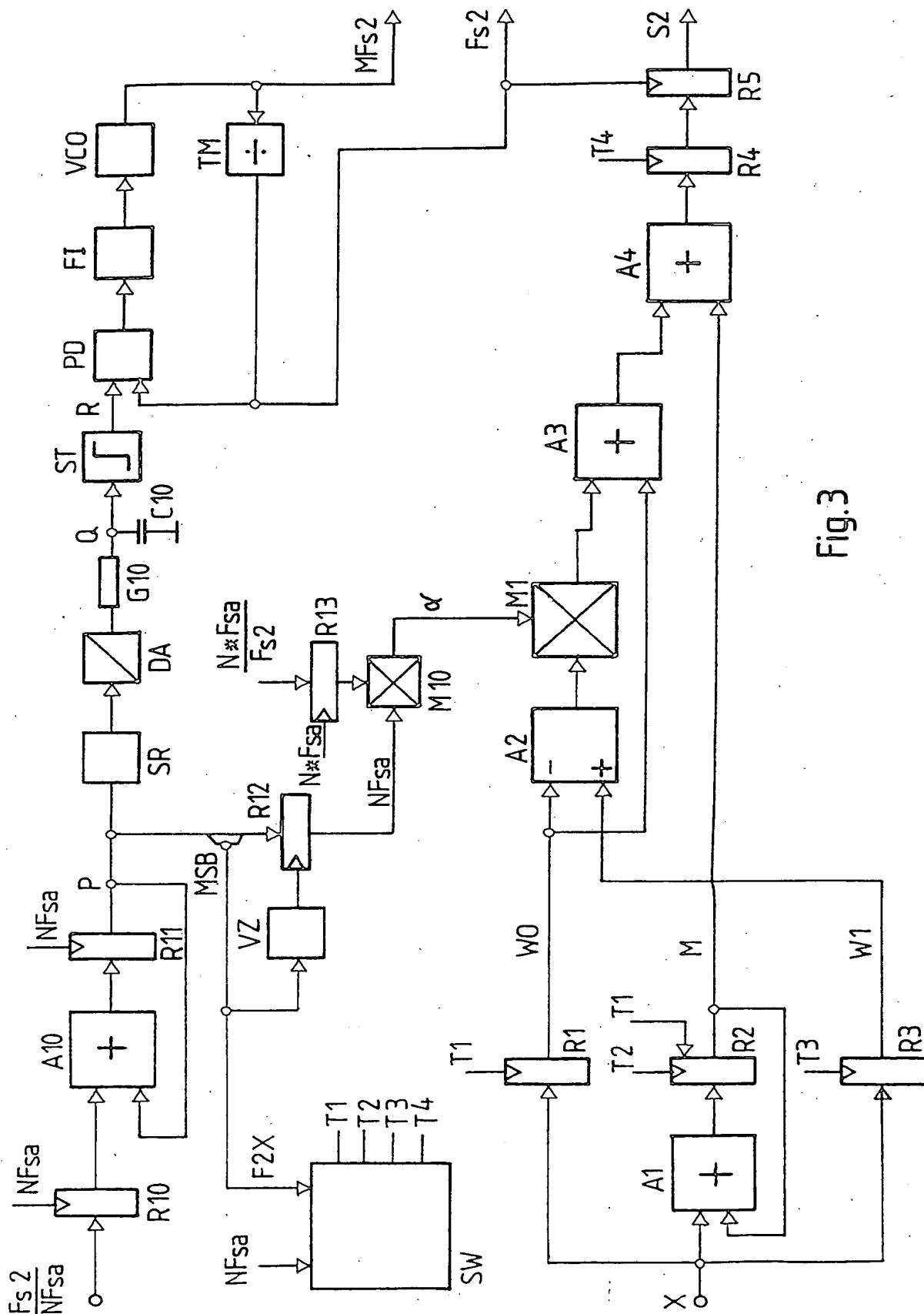


Fig. 3

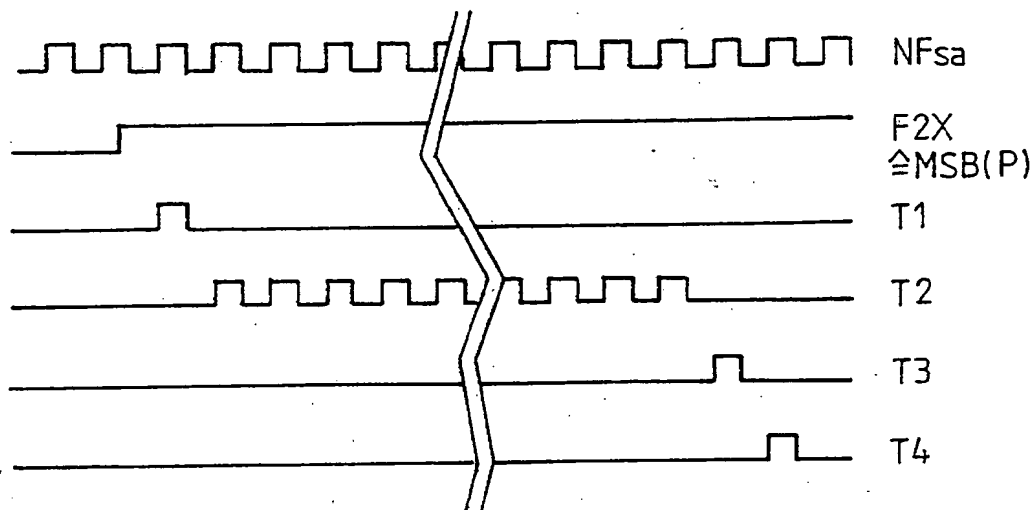


Fig. 4

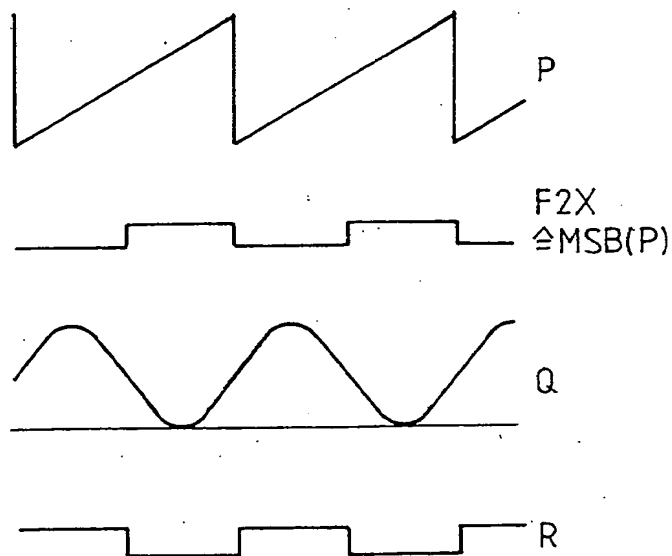


Fig. 5